

計算機アーキテクチャ教育・研究ツールとしての

FPGA 開発システムの導入と開発事例

大山 光男

倉敷芸術科学大学 産業科学技術学部

(1998年9月30日 受理)

1. 緒言

FPGA(Field Programmable Gate Array)は、研究室においてプログラム可能なLSIである。しかし、プログラム機構を実現するためには、多くの余分のハードウェアを搭載する必要がある。このため、通常のゲートアレイやセルベースLSIに比べて、搭載できるユーザ論理回路の規模と動作速度の両面でのハンディキャップは大きく、応用範囲は限られたものであった。しかし、最近の半導体プロセスやデバイス技術の急速な進歩により、搭載されるユーザ論理回路は、回路規模、動作速度とも、大幅に改善された。具体的にいえば、現時点で、最大10万ゲート規模のシステムを1チップに実装し、10～50MHzのクロックで動かすことが可能である。この結果、ゲートアレイやセルベースLSIに比べて、依然として性能面でのギャップはあるが、開発時間と開発コストで桁違いに有利に立つFPGAが、商用システムでも頻繁に利用されるようになってきている⁵⁾。

ところで、計算機アーキテクチャをより深く理解するには、実際にプロセッサに触れて、その動作を観察し、さらに自らプロセッサを設計、実現して動かしてみることが望ましい。しかし、現在のマイクロプロセッサは、このような目的に対して、あまりにも複雑であり、また高集積化が進んだ結果、LSIパッケージの外側から内部の動作を詳細に観察することは極めて困難である。したがって、簡潔で基本的なアーキテクチャを持ち、かつ内部観察機能に優れた教育目的のマイクロプロセッサが望まれることになる。そして実際、数年前からすでにいくつかの大学ではこのような開発や学生実験が行われている¹⁾²⁾³⁾⁴⁾。また、計算機アーキテクチャの研究では、新しいアーキテクチャの有効性を確認するために、シミュレーションによる評価のみならず、プロトタイプを試作することにより実証、評価まで行いたい。

このような目的を達成するにはLSIの開発が避けられないが、大規模ゲートアレイやセルベースLSIを大学において開発することは、開発に要する工数とコストの両面で、一般的には困難である。

このような状況にあつて、FPGAを利用することにより、集積度と動作速度に制約はあるが、研究室でLSIを開発ことが可能になってきた。当研究室でも、平成8年9月にパー

ソナルコンピュータベースのFPGA開発システムを導入し、計算機アーキテクチャの教育と研究で活用している。そこで、本稿ではFPGAとその開発方法、導入した開発システムについて紹介し、開発事例として教育用16ビットマイクロプロセッサについて述べることにしたい。

2. FPGAとその開発方法

FPGAの最大の特徴は、フィールドプログラマブル、すなわち研究室においてもプログラム可能なことである。この特徴ゆえ、通常のゲートアレイやセルベースLSIに比べて圧倒的に短い期間と少ないコストで開発が可能である。ここではもっとも広く使用されているFPGAの一つである、XILINX社のFPGAの構造と開発方法について紹介する⁶⁾⁷⁾。

2.1 FPGAの構造

図1に示すように、FPGAのチップ上には論理機能を実装するCLB(Configurable Logic Block)が2次元に配置され、周辺にはLSIのピンと内部回路を接続するためのインタフェース回路を実装するIOB(Input/Output Block)が配置されている。CLBとIOB間には、それらを互いに接続するための多数の配線が設けられている。CLBの内部は、論理機能を実装するためのLUT(Look Up Table)とFF(Flip Flop)を含んで構成され、LUTの機能、およびCLB内部の接続関係はプログラム可能である。CLBの入出力線と外部の配線間、および配線相互間の接続は、配線プログラムポイントに配置された接続トランジスタのオン/オフ制御によりプログラムできる。そしてこれらのプログラムデータは、電源投入時に自動的にFPGA内のSRAM(Static RAM)に読み込まれて保持される。これをFPGAのConfigurationと呼ぶ。大規模FPGAではCLBの数は1000個から数1000個におよび、論理機能のCLBへの配置と相互接続はFPGAの重要な技術課題の一つとなっている⁸⁾。

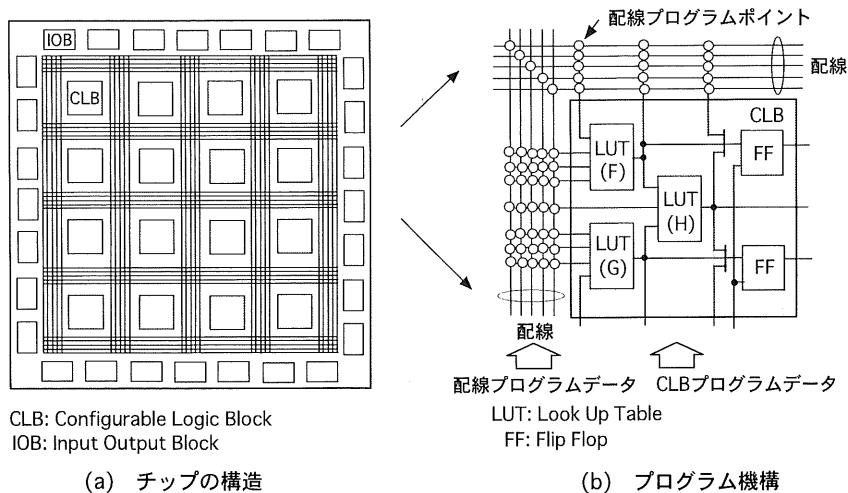


図1 FPGAの構造とプログラム機構 (簡略図)

2.2 FPGA の開発方法

FPGA を開発する一般の手順を図 2 に示し、以下に説明する。

- (1) デザイン：FPGA の仕様（開発ターゲット）を決定したら、FPGA に搭載する論理回路の設計を行う。これは論理回路図として記述してもよいし、HDL(Hardware Description Language)を用いて記述することもできる。
- (2) デザイン入力：論理回路図として記述した場合はスキマティックエディタを用いて入力する。HDL で記述した場合もエディタを使用して入力できる。いずれの場合も、必要に応じて論理シミュレータを用いて論理機能レベルの検証を行う。そして論理機能とそれらの接続関係を記述するネットリストファイルを出力する。
- (3) インプリメンテーション：ネットリストファイルをもとに、論理機能を LUT に割付け（マッピング）、割り付けた機能を各 CLB に配置し、相互に接続する（配置・配線）。配置・配線の結果から、FPGA をプログラムするデータを生成し（プログラムデータ生成）、出力する。プログラムデータは、ROM に書き込み、FPGA の configuration 時に ROM から FPGA に読み込むこともできる。

以上の手順のうち、デザイン入力以降、プログラムデータの生成まではパーソナルコンピュータ上で稼動する FPGA 開発ツールを利用する。

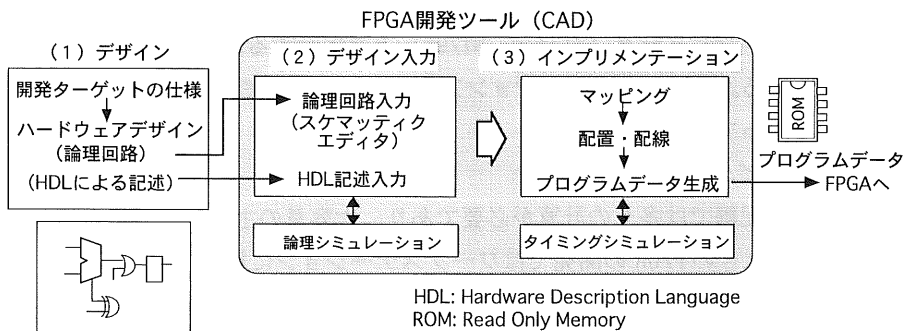


図 2 FPGAの開発フロー

3. FPGA 開発システムの導入

3.1 導入の狙い

導入の目的についてはすでに触れたが、ここで再度まとめて述べる。導入の主たる目的は2つある。1つは教育ツールとしての活用であり、もう1つは研究ツールとして、新しいアーキテクチャの実証手段を得ることである。

(1) 教育ツールとしての活用

計算機アーキテクチャの教育では、コンピュータの内部の構造と動作を理解させる必要がある。対象がプロセッサのハードウェアにおよぶので、より深く理解するには、直にプロセッサに触れ、観察することが望ましい。さらに、簡単なアーキテクチャであっても、自ら設計したプロセッサを実現し、実際に動かして見ることができれば、理解はより確実なものになるであろう。そのための教育用のマイクロプロセッサの実現手段として、また学生が設計したマイクロプロセッサの実装手段としてFPGAが活用できる。

(2) 研究ツールとしての活用

計算機アーキテクチャの研究では、新しいアーキテクチャやハードウェア機構は、机上評価やシミュレーションによる評価のみならず、可能ならばプロトタイプを開発して有効性を実証したい。そのためにはLSIの開発が必要となる。集積度や動作速度に制約はあるが、性能向上が著しいFPGAの活用で、その目的をかなり達成できると考えている。

3.2 導入システム

以上に述べた狙いのもとに導入したFPGA開発システムについて以下に説明する。

(1) 開発ソフトウェア

パーソナルコンピュータ (Windows NT/95) 上で稼動する、XILINX社のFoundationシリーズである。導入後2回バージョンアップがあり、現在ではシリーズ1.4(4ライセンス)となっている。

(2) ホストコンピュータ

特に配置・配線では多くの計算が必要であり、大容量の主記憶も要求される。このため、規模の大きいFPGAの開発ではワークステーションに準じた性能を必要とする。そこでPentium Pro, Pentium IIマシンにメインメモリを増設している。

(3) 測定器等

FPGAに実装したプロセッサなどの動作を確認するには測定器が欠かせない。ロジックアナライザやオシロスコープを準備している。

以上に説明したFPGA開発ツールと関連設備の一覧を表1にまとめて示す。

表1 FPGA開発ツールと関連装置 (研究室導入システム)

項目	仕様 / 構成
FPGA開発ツール	Xilinx Foundation シリーズ1.4 (4ライセンス)
ホストコンピュータ	IBM AT互換機 (4台)
測定器等	ロジックアナライザ (1台) 簡易ロジックアナライザ兼オシロスコープ (2台) アナログオシロスコープ (1台)

4. 開発事例：教育用16ビットマイクロプロセッサの開発

導入したFPGA開発ツールを用いて、現在までに多重指数分割に基づく浮動小数点数を演算するパイプライン加減算器⁹⁾¹⁰⁾と教育用16ビットマイクロプロセッサの開発を完了しているが、ここでは開発事例として後者を報告することにする。教育用マイクロプロセッサは、基本的で簡潔なアーキテクチャを持ち、かつ命令の実行されていく様子を観察するための内部観察機能を備えている必要である。そこで、そのようなアーキテクチャを持つマイクロプロセッサとして、日立の組み込み用16ビットマイクロプロセッサH8/532のCPUコアをモデルにすることにした¹¹⁾¹²⁾。具体的には、H8/532の縮小命令セットを定義し、この命令セットを実行するマイクロプロセッサを新たに設計した。ごく一部の制御命令の機能を変更したほかは、実現した範囲でH8/532の命令と互換であるので、記述を制限することによりH8/532のアセンブラを利用できる。

4.1 マイクロプロセッサの仕様

開発したマイクロプロセッサの概略仕様を表2にまとめて示す。また、レジスタ構成、命令セット、アドレッシングモードの詳細については、それぞれ付録の図6、表4、表5に示してあるので参照されたい。マイクロプロセッサは、8本の汎用レジスタ、基本的な命令セット、ベクタ方式の割込み機構を備え、コンピュータの基本的アーキテクチャを学習するのに必要な機能を実現している。また、表2に示すように、内部観察機能を強化したことが、教育用としての、このマイクロプロセッサの特徴の一つである。すなわち、主要な内部レジスタは直接LED(Light Emission Diode)に表示しており、1命令ごとの実行に加えて、命令の実行をステージ単位に分解して内部動作を観察できる。また、クロック周波数を低くすることができるので、命令実行の様子を目視でフォローすることも可能である。

表2 教育用16ビットマイクロプロセッサの概略仕様

項目	仕様 / 構成
レジスタ構成	汎用レジスタ：16ビット×8本（内1本はスタックポインタ兼用） コントロールレジスタ：16ビットプログラムカウンタ 16ビットステータスレジスタ
命令セット	16ビット組み込み用マイクロプロセッサH8/532（日立）縮小命令セット
記憶装置	64kB最大（16ビットアドレス空間）
割り込み機構	ベクタ割り込み方式
入出力方式	メモリマッピング方式
クロック	1Hz以下～10MHz
観察機能サポート	<u>主要内部レジスタの内容直接表示</u> <u>1マシン命令ごとの実行制御</u> <u>ステージ（ステート）単位の命令実行制御</u> <u>超低速（<1Hz）クロックによる動作可能</u>

この命令は、レジスタ Rn の内容に 8 ビットの変位を加算して実効アドレスを得、実効アドレスが指し示す主記憶の内容とレジスタ Rd の内容を加算して結果を Rd に格納する。図 4 (a)に示すように 3 バイト命令であり、主記憶には図 4 (b)に示すように格納される。そして、命令は図 3 に示すハードウェアにおいては、図 4 (c)に示す 5 つのステージ (# 1 ~ # 5) で実行される。計算機アーキテクチャをあつかうには、このレベルでプロセッサの構成と動作を把握しなければならないが、1 命令ごとの実行ではステージ単位で実行結果を確認しながら命令の実行シーケンスをフォローすることは難しい。しかし、ステージ単位の実行をサポートすることにより、これが可能となる。なお、命令の実行に要するステージの数(クロック数)の一覧を付録の表 6 にまとめて示した。

4.3 マイクロプロセッサの実装

CPU は 13000 ゲートの FPGA(XC4013E) 1 個に実装し、CPU、主記憶、表示用 LED、周辺回路を 1 枚のプロセッサボードにまとめた。FPGA への実装結果を表 3 に、プロセッサボードの実装の様子を図 5 に示す。プロセッサボードはシリアルインタフェース(RC232C)を介してホスト PC に接続可能である。また、スイッチボックスを接続して、主記憶の書き込み・読み出し、主要レジスタの書き込み、および命令実行制御が可能である。

表 3 FPGA(XC4013E)の実装結果

項目	使用数(率%)	総数
CLB	538(93%)	576
F/Gファンクションジェネレータ	791(69%)	1152
Hファンクションジェネレータ	216(38%)	576
フリップフロップ(CLB)	126(11%)	1152

注) CLB: Configurable Logic Block

F/Gファンクションジェネレータ: 4 入力ルックアップテーブル. CLB 1 個あたり 2 個を含む.

Hファンクションジェネレータ: 3 入力ルックアップテーブル. CLB 1 個あたり 1 個を含む.

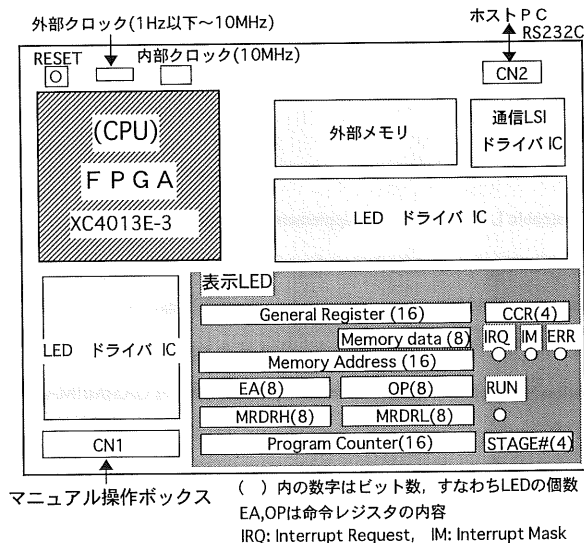


図 5 プロセッサボードの実装

6. 結言

計算機アーキテクチャの教育と研究での活用を目的として FPGA 開発システムを導入し、教育用 16 ビットマイクロプロセッサ、および多重指数分割に基づく浮動小数点数を演算するパイプライン加減算器の開発を行った。教育目的では、現在、卒業研究を進める中で、学生が設計したマイクロプロセッサの実現に貢献しているが、ゼミナール、特別実験でも利用していく予定である。

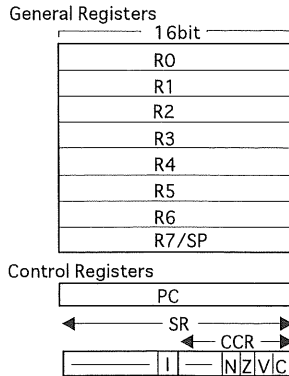
一方、FPGA の大規模化、高速化、内部アーキテクチャの改良に伴い、必然的に開発システムも改良・拡張され、バージョンアップを繰り返す。有効なツールとして活用していくためには適切な保守が欠かせない。また、大規模 FPGA のパッケージは、多ピン化、高密度化が進み、取り扱いが面倒になりつつある。さらに、大規模化する FPGA を効率よく設計するためには HDL (Hardware Description Language) による設計を取り入れることも必要である。このように、FPGA を利用していくための課題はあるが、LSI 技術の進歩に伴って FPGA もハイペースで高性能化が進むことは確実であり、計算機アーキテクチャの教育・研究における強力なツールとして今後も活用していきたい。

参考文献

- 1) 柴山 潔, 新實 治男: 大学における計算機アーキテクチャの教育方法に関する考察, 情報処理学会計算機アーキテクチャ研究会研究報告 ARC-100, (1993), pp. 25-34.
- 2) 岩井原 瑞穂, 他: 計算機工学一貫教育用マイクロプロセッサ QP-DLX の開発, 情報処理学会計算機アーキテクチャ研究会研究報告 ARC-100, (1993), pp. 35-42.
- 3) 田中 康一郎, 他: 教育用マイクロプロセッサ KITE とその開発支援環境, 情報処理学会計算機アーキテクチャ研究会研究報告, ARC-100, (1993), pp. 59-66.
- 4) 木村真也, 鹿股昭雄: 命令実装可能な教育用コンピュータシステムの開発, 電子情報通信学会技術研究報告, CPSY-97, (1997), pp. 1-6.
- 5) Brown, S. et al.: FPGA and CPLD Architectures: A Tutorial, IEEE Design and Test of Computers, Vol.13, No.2, (1996), pp.42-57.
- 6) XILINX, Inc.: プログラマブル・ロジック データブック V3, (1997).
- 7) XILINX, Inc.: The Programmable Logic Data Book Supplement XC4000XL/EX/E, (1997).
- 8) Trimberger, S. et al.: "Architecture issues and solutions for a high-capacity FPGA", Proceedings of the (1997) ACM fifth international symposium on Field-Programmable Gate Arrays, (1997), pp.3-9.
- 9) Ooyama, M. and Hamada, H.: "Fast separation and combination of an exponent and fraction for URR Floating-point arithmetic and its application to a pipelined adder/subtractor", Proceedings of GAMM/IMACS International symposium on Scientific Computing, Computer Arithmetic and Validated Numerics (SCAN97), (1997), XII 12-15.
- 10) 大山光男: URR 浮動小数点数演算のためのパイプライン加減算器の設計と FPGA による実現, 情報処理学会研究報告, HPC-69, (1997), pp. 19-24.
- 11) 日立製作所: H8/532 ハードウェアマニュアル第 5 版, (1994).

1 2) 日立製作所：H8/532 プログラミングマニュアル第4版，(1995)。

付録



注：PC:Program Counter, SR:Status register, CCR:Condition Code Register, I:Interrupt Mask, N:Negative, Z:Zero, V:Overflow, C:Carry

図6 レジスタ構成

表4 アドレッシングモード一覧表

mode	mnemonic	effective address
レジスタ直接	Rn	データはRnの内容
絶対アドレス	@aa:8	上位8ビットはFFh ¹⁾
	@aa:16	@aaの16ビット
レジスタ間接	@Rn	アドレスはRnの内容
ディスプレースメント付き	@(d:8,Rn)	Rn+変位8ビット ²⁾
レジスタ間接	@(d:16,Rn)	Rn+変位16ビット
イミディエイト	#nn:16	データは#nn(16bit)
プログラムカウンタ相対	disp:8	PC+変位8ビット ²⁾
	disp:16	PC+変位16ビット

注1：MOV命令のI/O専用モードで、MSB=1とする。
注2：上位8ビットは符号を拡張する。

表5 命令一覧表

	mnemonic	operation
転送命令	MOV	move (@aを除く)
	MOV	input/output (@aのみ)
演算命令	ADD	add
	ADDX	add with carry
	SUB	subtract
	SUBX	subtract with borrow
	CMP	compare and set flags
	NEG	negate
	AND	logical AND
	OR	logical OR
	XOR	exclusive OR
	NOT	logical NOT
	SHAL	shift arithmetic left
	SHAR	shift arithmetic right
	SHLL	shift logical left
	SHLR	shift logical right
ROT	rotate left	
ROTR	rotate right	
ROTXL	rotate left with carry	
ROTXR	rotate right with carry	
制御命令	Bcc	branch on condition code
	JMP	jump always
	BSR	branch to subroutine
	RTS	return from subroutine
	RTE	return from exception handling
	NOP	no operation
	TRAPA	trap on vector address
	HLT ¹⁾	halt
	SETIM ²⁾	set interrupt mask
	CLRIM ³⁾	clear interrupt mask

注1：H8/532のSLEEP命令のコードをあてる。
注2：H8/532のTRAP/VS命令のコードをあてる。
注3：H8/532のUNLK FP命令のコードをあてる。

表6 命令実行に要するクロック数

命令のタイプ/命令	アドレッシングモード									
	Rn	@Rn	@(d:8,Rn)	@(d:16,Rn)	@aa:8	@aa:16	#nn:16	disp:8	disp:16	
OP, (EAs), Rd										
MOV, ADD, ADDX, SUB, SUBX, CMP, AND, OR, XOR	3	4	5	6	7	6	5			
OP, Rs, (EAd)										
MOV										
OP, (EAd)										
NEG, NOT, 全シフト命令	3	5	6	7		7				
制御命令	Bcc							3	4	
	JMP		3							
	BSR							3	4	
	RTS	3								
	RTE	4			NA					
	SETIM	2								
	CLRIM	2								
	TRAPA	7								
	NOP	2								
HLT	2									

注：@aa:8はI/O専用MOV命令のみのモード

Arrangement of FPGA Design System for Education and Research in Computer
Architecture and a Design of an Educational Microprocessor

Mitsuo OYAMA

College of Science and Industrial Technology

Kurashiki University of Science and the Arts,

2640 Nishinoura, Tsurajima-cho, Kurashiki-shi, Okayama, 712-8505 Japan

(Received September 30, 1998)

In this article, we introduce FPGA(Field Programmable Gate Array) and its design system which we have arranged for education and research in computer architecture. A 16-bit microprocessor newly designed and implemented on a FPGA is also described. The microprocessor has simple architecture with interrupt handling and enough observation function for educational use.